

Docket No.: 60188-834

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277

Kenji YONEDA : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: April 13, 2004 : Examiner: Unknown

For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR  
SUBSTRATE

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-281453, filed July 29, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tib  
Facsimile: (202) 756-8087  
**Date: April 13, 2004**

4088-834

YONEDA

April 13, 2004

日本国特許庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日      2003年 7月29日  
Date of Application:

出願番号      特願2003-281453  
Application Number:

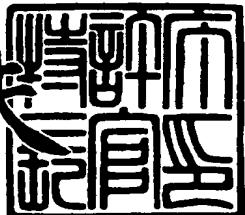
[ST. 10/C]:      [JP2003-281453]

出願人      松下電器産業株式会社  
Applicant(s):

2004年 1月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



**【書類名】** 特許願  
**【整理番号】** 2926440372  
**【提出日】** 平成15年 7月29日  
**【あて先】** 特許庁長官 殿  
**【国際特許分類】** H01L 21/8238  
**【発明者】**  
 【住所又は居所】 大阪府門真市大字門真 1006番地 松下電器産業株式会社内  
 【氏名】 米田 健司  
**【特許出願人】**  
 【識別番号】 000005821  
 【氏名又は名称】 松下電器産業株式会社  
**【代理人】**  
 【識別番号】 100077931  
 【弁理士】  
 【氏名又は名称】 前田 弘  
**【選任した代理人】**  
 【識別番号】 100094134  
 【弁理士】  
 【氏名又は名称】 小山 廣毅  
**【選任した代理人】**  
 【識別番号】 100110939  
 【弁理士】  
 【氏名又は名称】 竹内 宏  
**【選任した代理人】**  
 【識別番号】 100113262  
 【弁理士】  
 【氏名又は名称】 竹内 祐二  
**【選任した代理人】**  
 【識別番号】 100115059  
 【弁理士】  
 【氏名又は名称】 今江 克実  
**【選任した代理人】**  
 【識別番号】 100117710  
 【弁理士】  
 【氏名又は名称】 原田 智雄  
**【手数料の表示】**  
 【予納台帳番号】 014409  
 【納付金額】 21,000円  
**【提出物件の目録】**  
 【物件名】 特許請求の範囲 1  
 【物件名】 明細書 1  
 【物件名】 図面 1  
 【物件名】 要約書 1  
 【包括委任状番号】 0217869

**【書類名】特許請求の範囲****【請求項1】**

シリコンからなる半導体基板を製造プロセスに受け入れた後、前記半導体基板に対して最初に行なう熱処理として、

650°C～750°Cの温度下で30分～240分の第1の熱処理を行なう第1の工程と

前記第1の工程の後に、900°C～1100°Cの温度下で30分～120分の第2の熱処理を行なう第2の工程と備えていることを特徴とする半導体装置の製造方法。

**【請求項2】**

前記第1の熱処理及び前記第2の熱処理は、共に昇温速度が1°C/m in～8°C/m inであり、降温速度が1°C/m in～60°C/m inであることを特徴とする請求項1に記載の半導体装置の製造方法。

**【請求項3】**

前記第2の工程よりも後に、金属不純物がゲッタリングサイトにまで拡散するように前記半導体基板に対して第3の熱処理を行なう第3の工程と、

前記第3の工程よりも後に、前記半導体基板の主面上にゲート絶縁膜を形成する第4の工程とをさらに備えていることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

**【請求項4】**

前記第3の工程において、前記第3の熱処理により、前記半導体基板の表面から1μm～10μmの深さにバルク微小欠陥(BMD)層からなるゲッタリングサイトが形成され、

前記ゲッタリングサイトの密度は $5 \times 10^8 \text{ cm}^{-3}$ 以上且つ $5 \times 10^{10} \text{ cm}^{-3}$ 以下であることを特徴とする請求項3に記載の半導体装置の製造方法。

**【請求項5】**

前記第1の熱処理、第2の熱処理及び第3の熱処理におけるサーマルバジェットは、半導体装置の特性が維持される範囲に設定されていることを特徴とする請求項3に記載の半導体装置の製造方法。

**【請求項6】**

シリコンからなる半導体基板の主面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を形成するよりも前に、前記半導体基板に対して、金属不純物がゲッタリングサイトにまで拡散するように熱処理を行なう第2の工程とを備えていることを特徴とする半導体装置の製造方法。

**【請求項7】**

前記熱処理により、前記半導体基板の表面から1μm～10μmの深さにバルク微小欠陥(BMD)層からなるゲッタリングサイトが形成され、

前記ゲッタリングサイトの密度は $5 \times 10^8 \text{ cm}^{-3}$ 以上且つ $5 \times 10^{10} \text{ cm}^{-3}$ 以下であることを特徴とする請求項6に記載の半導体装置の製造方法。

**【請求項8】**

シリコンからなる半導体基板であって、

前記半導体基板は、該半導体基板に対して最初に行なわれる熱処理である、650°C～750°Cの温度下で30分～240分の第1の熱処理と、その後の900°C～1100°Cの温度下で30分～120分の第2の熱処理とを施されることにより、前記半導体基板の表面から所定の深さに形成されたバルク微小欠陥(BMD)層からなるゲッタリングサイトを有し、

前記所定の深さは、金属不純物における前記ゲッタリングサイトへの拡散距離よりも小さいか等しいことを特徴とする半導体基板。

**【請求項9】**

シリコンからなる半導体基板であって、

前記半導体基板は、その上面に所定の厚さを持つエピタキシャル層が形成されており、

前記エピタキシャル層が形成された半導体基板は、該半導体基板に対して最初に行なわれる熱処理である、650℃～750℃の温度下で30分～240分の第1の熱処理と、その後の900℃～1100℃の温度下で30分～120分の第2の熱処理とを施されることにより、前記エピタキシャル層の下側に形成されたバルク微小欠陥（BMD）層からなるゲッタリングサイトを有し、

前記エピタキシャル層の厚さは、金属不純物における前記ゲッタリングサイトへの拡散距離よりも小さいか等しいことを特徴とする半導体基板。

【請求項10】

シリコンからなる半導体基板であって、

前記半導体基板は、その表面から所定の深さにバルク微小欠陥（BMD）層からなるゲッタリングサイトを有し、

前記所定の深さは、金属不純物の前記ゲッタリングサイトへの拡散距離よりも小さいか等しいことを特徴とする半導体基板。

【請求項11】

シリコンからなる半導体基板であって、

前記半導体基板は、その主面上に所定の厚さを持つエピタキシャル層が形成され、且つ前記エピタキシャル層の下側にバルク微小欠陥（BMD）層からなるゲッタリングサイトを有し、

前記エピタキシャル層の厚さは、金属不純物の前記ゲッタリングサイトへの拡散距離よりも小さいか等しいことを特徴とする半導体基板。

【書類名】明細書

【発明の名称】半導体装置の製造方法及び半導体基板

【技術分野】

### 【0001】

本発明は、半導体装置の製造方法及び半導体基板に関し、特に、プロセス中における金属不純物の混入による素子の新信頼性の低下を防止する半導体装置の製造方法及びそれに用いる半導体基板に関する。

【背景技術】

### 【0002】

近年、半導体素子の微細化及び半導体基板（ウェーハ）の大口径化の進展に伴い、半導体の導電型を決定する不純物の拡散長を減少する傾向にあるため、又は熱処理の印加によるウェーハへの熱ストレスの発生及びデバイスの電気特性への悪影響を回避するため、半導体製造プロセスにおける熱処理は低温化及び短時間化の傾向にある。

### 【0003】

通常、ウェーハに熱処理を十分に印加することにより、半導体基板中の格子間酸素が析出して、バルク微小欠陥（Bulk Microdefect : BMD）と呼ばれる欠陥が発生し、これがゲッタリングサイトとして振る舞う。その結果、製造プロセス中に発生する金属不純物がウェーハに付着したとしても、付着した金属不純物はゲッタリングサイトに捕獲されて無害化されるため、ゲート絶縁膜等の信頼性の低下を防止することができる。このBMDはその密度が $1 \times 10^8 \text{ cm}^{-3}$ 程度であればゲッタリング能力を発揮できるが、この密度にまで成長させるには、通常、 $1000^\circ\text{C}$ 以上で且つ数時間という比較的に高温で且つ長時間にわたる熱処理を行なう必要がある。

【特許文献1】特許第3011178号公報

【発明の開示】

【発明が解決しようとする課題】

### 【0004】

ここで、従来のゲート絶縁膜の形成工程を含む半導体装置の製造方法における熱処理について説明する。

### 【0005】

図7は例えばデザインルールが $0.15 \mu\text{m}$ 相当のデバイスにおける典型的な熱処理を示している。ウェーハがシリコン（Si）からなる場合は、図7に示す熱処理では、温度が $900^\circ\text{C}$ で時間が100分未満の場合が多く、また、温度が $1000^\circ\text{C}$ を超える場合には、加熱時間が1秒～30秒程度のいわゆる急速熱処理（RTP : Rapid Thermal Processing）が施される。このような従来の熱処理では、BMDが十分に成長できないため、ゲッタリングサイトとなるBMDの密度は $1 \times 10^6 \text{ cm}^{-3}$ 以下となってしまう。

### 【0006】

また、製造プロセスにおける最初の熱処理に RTP が施される場合は、高い昇温レートの加熱処理により、ウェーハ中に存在していたBMDの析出核が溶解してしまい、BMDの形成を期待できない。従って、RTP等の短時間の熱処理が多用され、且つ熱処理温度が比較的に低い、すなわちサーマルバジエットが小さい微細デバイスプロセスでは十分なゲッタリング能力を付与することができず、従って、このようなプロセスは金属汚染等に極めて弱いプロセスであるといえる。ここで、サーマルバジエットとは、加熱温度と加熱時間との積により表わされる熱処理量をいう。

### 【0007】

例えば、MOS（金属酸化半導体）型トランジスタを構成する薄膜化されたゲート絶縁膜は金属汚染によりリーク電流が生じやすくなり、ゲート絶縁膜の信頼性が低下するということからも大きな問題である。

### 【0008】

ところが、この問題を解決するため、プロセス中の熱処理温度を高くし且つ熱処理時間を長くしてサーマルバジエットを大きくすると、導電型を決定する不純物イオンの拡散長

が増大してしまうため、本質的な解決策とはならず、とりわけ微細なCMOS（相補型金属酸化膜半導体）型デバイスには深刻な問題となる。

#### 【0009】

また、シリコンウェーハにゲッタリングサイトの析出核が形成されている場合であっても、図8(a)～図8(c)に示すように、従来の高温アニールでは他の問題が存在する。例えば、図8(a)に示すように、窒素、炭素又は酸素からなるゲッタリングサイトの析出核101Aを有するシリコンからなるウェーハ100を用意する。

#### 【0010】

次に、図8(b)に示すように、温度が1200℃程度で約60分間のアニールを行なうことにより、ウェーハ100の表面から数十μmの深さの領域に、析出核101Aが成長したBMDからなるゲッタリングサイト101Bが形成されると共に、該ウェーハ100の上部には欠陥がない無欠陥層(DZ:Denuded Zone)101Bが形成される。

#### 【0011】

ところが、図8(c)に示すように、ウェーハ表面からゲッタリングサイト101Bまでの距離が長く、拡散係数が比較的に小さい鉄(Fe)のような金属不純物110は、通常の製造プロセス、とりわけ微細化されたCMOSプロセス中の熱処理では、金属不純物110をゲッタリングサイト101Bにまで十分に拡散させることができないという問題がある。

#### 【0012】

本発明は、前記従来の問題を解決し、微細化されサーマルバジェットを小さくせざるを得ない製造プロセスにおいて、シリコンウェーハが被る金属汚染を防止するゲッタリングサイトを形成できるようにすることを第1の目的とし、及び形成されたゲッタリングサイトに金属不純物が確実に捕獲されることを第2の目的とする。

#### 【課題を解決するための手段】

#### 【0013】

前記第1の目的を達成するため、本発明に係る第1の半導体装置の製造方法は、シリコンからなる半導体基板を製造プロセスに受け入れた後、半導体基板に対して最初に行なう熱処理として、650℃～750℃の温度下で30分～240分の第1の熱処理を行なう第1の工程と、第1の工程の後に、900℃～1100℃の温度下で30分～120分の第2の熱処理を行なう第2の工程と備えている。

#### 【0014】

第1の半導体装置の製造方法によると、シリコンからなる半導体基板を製造プロセスに受け入れた後、該半導体基板に最初に行なう熱処理である第1の熱処理により、ゲッタリングサイトの析出核が形成され、その後の第2の熱処理により、析出核が成長してゲッタリングサイトが形成されるため、続いて行なう半導体装置の製造プロセス中に発生する金属不純物に対しても、製造プロセス前のこれら第1の熱処理及び第2の熱処理によって形成されたゲッタリングサイトに捕獲される。

#### 【0015】

第1の半導体装置の製造方法において、第1の熱処理及び第2の熱処理は、共に昇温速度が1℃/min～8℃/minであり、降温速度が1℃/min～60℃/minであることが好ましい。

#### 【0016】

第1の半導体装置の製造方法は、第2の工程よりも後に、金属不純物がゲッタリングサイトにまで拡散するように半導体基板に対して第3の熱処理を行なう第3の工程と、第3の工程よりも後に、半導体基板の主面上にゲート絶縁膜を形成する第4の工程とをさらに備えていることが好ましい。

#### 【0017】

このように、ゲート絶縁膜を形成するよりも前に、半導体基板に対して金属不純物がゲッタリングサイトに拡散するように第3の熱処理を行なうため、ゲート絶縁膜の形成工程及びその前工程では金属不純物、特に鉄のように比較的に拡散係数が小さい金属不純物が

ゲッタリングサイトにまで拡散されないことにより生じるゲート絶縁膜に対する金属汚染を確実に防止することができるので、前記第2の目的を達成できる。

#### 【0018】

この場合に、第3の工程において、第3の熱処理により、半導体基板の表面から $1\text{ }\mu\text{m}$ ～ $10\text{ }\mu\text{m}$ の深さにバルク微小欠陥（BMD）層からなるゲッタリングサイトが形成され、該ゲッタリングサイトの密度は $5 \times 10^8\text{ cm}^{-3}$ 以上且つ $5 \times 10^{10}\text{ cm}^{-3}$ 以下であることが好ましい。

#### 【0019】

また、この場合に、第1の熱処理、第2の熱処理及び第3の熱処理におけるサーマルバジェットは、半導体装置の特性が維持される範囲に設定されていることが好ましい。

#### 【0020】

本発明に係る第2の半導体装置の製造方法は、前記第2の目的を達成し、シリコンからなる半導体基板の主面上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜を形成するよりも前に、半導体基板に対して金属不純物がゲッタリングサイトにまで拡散するように熱処理を行なう工程とを備えている。

#### 【0021】

第2の半導体装置の製造方法によると、ゲート絶縁膜を形成するよりも前に、半導体基板に対して金属不純物がゲッタリングサイトにまで拡散するように熱処理を行なうため、金属不純物の影響を受けやすいゲート絶縁膜に生じる金属汚染を確実に防止することができる。

#### 【0022】

なお、第1の半導体装置の製造方法においては、ゲッタリングサイトが生成されていない半導体基板に、まずゲッタリングサイトを生成するという発明である。これに対し、第2の半導体装置の製造方法は、ゲッタリングサイトが生成されていることを前提とし、ゲート絶縁膜の形成工程及びその前工程では金属不純物がゲッタリングサイトにまで拡散されないことによるゲート絶縁膜に対する金属汚染を防止する発明である。

#### 【0023】

第2の半導体装置の製造方法において、熱処理により、半導体基板の表面から $1\text{ }\mu\text{m}$ ～ $10\text{ }\mu\text{m}$ の深さにバルク微小欠陥（BMD）層からなるゲッタリングサイトが形成され、ゲッタリングサイトの密度は $5 \times 10^8\text{ cm}^{-3}$ 以上且つ $5 \times 10^{10}\text{ cm}^{-3}$ 以下であることが好ましい。

#### 【0024】

本発明に係る第1の半導体基板は、前記第1及び第2の目的が達成され、シリコンからなる半導体基板に対して最初に行なわれる熱処理である $650\text{ }^\circ\text{C}$ ～ $750\text{ }^\circ\text{C}$ の温度下で30分～240分の第1の熱処理と、その後の $900\text{ }^\circ\text{C}$ ～ $1100\text{ }^\circ\text{C}$ の温度下で30分～120分の第2の熱処理とを施されることにより、半導体基板の表面から所定の深さに形成されたバルク微小欠陥（BMD）層からなるゲッタリングサイトを有し、所定の深さは金属不純物におけるゲッタリングサイトへの拡散距離よりも小さいか等しい。

#### 【0025】

第1の半導体基板によると、該半導体基板に対して最初に行なわれる熱処理である、本発明の第1の半導体装置の製造方法による第1の熱処理及び第2の熱処理を施されているため、微細化されたプロセスに伴う比較的低温の熱処理又はRTPによる熱処理であっても、プロセスが始まる前にゲッタリングサイトが生成されているので、金属汚染を防止することができる。

#### 【0026】

本発明に係る第2の半導体基板は、前記第1及び第2の目的が達成され、シリコンからなる半導体基板の上面に所定の厚さを持つエピタキシャル層が形成されており、エピタキシャル層が形成された半導体基板は、該半導体基板に対して最初に行なわれる熱処理である $650\text{ }^\circ\text{C}$ ～ $750\text{ }^\circ\text{C}$ の温度下で30分～240分の第1の熱処理と、その後の $900\text{ }^\circ\text{C}$ ～ $1100\text{ }^\circ\text{C}$ の温度下で30分～120分の第2の熱処理とを施されることにより、エピ

タキシャル層の下側に形成されたバルク微小欠陥（BMD）層からなるゲッタリングサイトを有し、エピタキシャル層の厚さは金属不純物におけるゲッタリングサイトへの拡散距離よりも小さいか等しい。

#### 【0027】

第2の半導体基板によると、半導体基板の上面にはエピタキシャル層が形成され、該エピタキシャル層の厚さは金属不純物におけるゲッタリングサイトへの拡散距離よりも小さいか等しい値に設定されているため、該半導体基板に対して最初に行なわれる熱処理として、本発明の第1の半導体装置の製造方法による第1の熱処理及び第2の熱処理を施されることにより、製造プロセス中に発生する金属不純物による汚染を確実に防止することができる。

#### 【0028】

本発明に係る第3の半導体基板は、前記第2の目的が達成され、シリコンからなる半導体基板は、その表面から所定の深さにバルク微小欠陥（BMD）層からなるゲッタリングサイトを有し、所定の深さは金属不純物のゲッタリングサイトへの拡散距離よりも小さいか等しい。

#### 【0029】

本発明に係る第4の半導体基板は、前記第2の目的が達成され、シリコンからなる半導体基板の主面上に所定の厚さを持つエピタキシャル層が形成され、且つエピタキシャル層の下側にバルク微小欠陥（BMD）層からなるゲッタリングサイトを有し、該エピタキシャル層の厚さは金属不純物のゲッタリングサイトへの拡散距離よりも小さいか等しい。

#### 【発明の効果】

#### 【0030】

本発明に係る第1の半導体装置の製造方法によると、製造プロセスに半導体基板を受け入れた後に、最初にゲッタリングサイトの析出核を生成する第1の熱処理と、析出核を成長してゲッタリングサイトを形成する第2の熱処理とを行なうため、製造プロセス中に発生する金属不純物が、このプロセスの実施前に形成されたゲッタリングサイトに捕獲されるので、半導体装置の信頼性を確保することができる。

#### 【0031】

本発明に係る第2の半導体装置の製造方法によると、ゲート絶縁膜を含む半導体装置の該ゲート絶縁膜を形成するよりも前に、半導体基板に対して金属不純物がゲッタリングサイトにまで拡散するよう熱処理を行なうため、金属不純物の影響を受けやすいゲート絶縁膜に生じる金属汚染を確実に防止することができるので、半導体装置の信頼性を確保することができる。

#### 【0032】

本発明に係る第1の半導体基板によると、該半導体基板に対して最初に行なわれる熱処理として、本発明の第1の半導体装置の製造方法による第1の熱処理及び第2の熱処理が施されてあるため、微細化されたプロセスに伴う比較的に低温の熱処理又はRTPによる熱処理であっても、プロセスが始まる前にゲッタリングサイトが生成されているので、金属汚染を防止することができ、その結果、この半導体基板を用いて製造される半導体装置の信頼性を確保することができる。

#### 【0033】

本発明に係る第2の半導体基板によると、半導体基板の上面にはエピタキシャル層が形成され、その厚さは金属不純物におけるゲッタリングサイトへの拡散距離よりも小さいか等しい値に設定されているため、該半導体基板に対して最初に行なわれる熱処理として、本発明の第1の半導体装置の製造方法による第1の熱処理及び第2の熱処理が施されることにより、製造プロセス中に発生する金属不純物による汚染を確実に防止することができるので、この半導体基板を用いて製造される半導体装置の信頼性を確保することができる。

#### 【発明を実施するための最良の形態】

#### 【0034】

## (第1の実施形態)

本発明の第1の実施形態について説明する。

## 【0035】

第1の実施形態においては、正面の面方位が(100)面であるP型シリコン(Si)からなるウェーハ(図示せず)を用いる。このウェーハは比抵抗が $10\Omega\text{cm} \sim 15\Omega\text{cm}$ であり、その酸素濃度がASTM'79規格による $12.5 \times 10^{17}\text{atoms}\cdot\text{cm}^{-3}$ である。ウェーハの正面には、厚さが $3\mu\text{m}$ で比抵抗が $11\Omega\text{cm} \sim 14\Omega\text{cm}$ のエピタキシャル層が形成されている。ここで、ASTMは米国材料試験協会(American Society for Testing and Materials)の略称である。

## 【0036】

なお、このウェーハは、引き上げ法(Cz法)による形成時に窒素(N)原子が $5 \times 10^{13}\text{atoms}\cdot\text{cm}^{-3}$ の密度で添加されている。但し、ウェーハには製造プロセスに搬入される前には、バルク微小欠陥(BMD)は観察されない。このように形成されたウェーハに対して、半導体装置を製造する前に図1に示す熱処理を施す。

## 【0037】

すなわち、図1に示す本発明の第1の実施形態に係るシーケンスを有する熱処理をプロセス開始前のウェーハに施すことにより、BMD密度は $5 \times 10^8\text{cm}^{-3}$ 以上となり、ゲッタリングサイトとして十分な密度を持つBMDが形成される。

## 【0038】

以下、図1を参照しながら、第1の実施形態に係る熱処理を詳細に説明する。

## 【0039】

図1に示すように、まず、加熱温度 $T_1$ が700°Cの窒素雰囲気において加熱時間 $t_1$ を120分とする第1の熱処理を行なった後、昇温速度を3°C/分として窒素雰囲気で1000°Cにまで昇温し、加熱温度 $T_2$ が1000°Cで加熱時間 $t_2$ を60分とする第2の熱処理を行なう。但し、第2の熱処理は必ずしも第1の熱処理に連続して行なう必要はない。

## 【0040】

このように、比較的に低温で第1の熱処理を行なうのは、ウェーハを構成するシリコンの格子間酸素が過飽和となりやすい温度下での熱処理により、格子間酸素が析出するための析出核を生成するためである。このときの加熱温度 $T_1$ は700°Cに限られず、650°C~750°Cであれば良い。但し、析出核の生成が可能な温度の下限は600°C程度であり、その上限は800°C程度であるが、析出核を効率的に生成できる範囲は650°C~750°Cである。

## 【0041】

また、第1の熱処理の加熱時間 $t_1$ は120分より長くても構わないが、生産性を考慮して30分~240分としている。但し、第1の熱処理を240分以上すなわち4時間以上行なったとしても、析出核の生成が阻害されるわけでも改善されるわけでもないため、ここでは4時間を上限としている。

## 【0042】

前述したように、加熱雰囲気には低反応性の窒素ガスを用いている。このように、シリコンの結晶中に窒素を添加することにより、シリコン結晶中に酸素が析出しやすくなる。また、窒素に代えて炭素を添加することによってもシリコン結晶中の酸素の析出が容易となる。さらに、窒素と炭素とを同時に添加することにより析出核を生成する効果が増大し、十分な密度のBMDを形成することができる。なお、ウェーハに炭素を添加した場合の有効な析出核を生成できる温度は650°C~750°Cである。

## 【0043】

ここで、第1の熱処理から第2の熱処理に移る際の昇温速度は、高温下における析出核の溶解速度がその成長速度よりも大きくならないように、比較的に緩やかに昇温する必要がある。ここでは、昇温速度を3°C/minとしたが、1°C/min~8°C/minであればよい。

**【0044】**

析出核はその溶解速度が成長速度よりも大きくなると消滅する。前述した急速熱処理（RTP）は、まさしくこの析出核の溶解速度がその成長速度よりも大きくなる状態が実現されている。第2の熱処理は比較的に高温の1000°C程度で行なっており、これにより、析出核がBMDとして大きく成長してゲッタリングサイトとしての機能が増大する。

**【0045】**

この第2の熱処理もプロセスの開始前に行ない、その加熱温度T<sub>2</sub>は900°C～1100°Cの範囲であれば良い。ここでは、大口径ウェーハにおける熱ストレスを考慮して、加熱温度T<sub>2</sub>を1000°Cとし加熱時間t<sub>2</sub>を60分としている。この第2の熱処理により、BMDは大きく成長し、高いゲッタリング能力を持つようになる。

**【0046】**

その後、加熱温度T<sub>2</sub>を降温速度を1°C/min～60°C/minで降下し、ウェーハを炉から取り出した後、製造プロセスの最初の工程であるパッド酸化膜の形成工程に移る。

**【0047】**

第1の実施形態に係るウェーハは、パッド酸化膜の形成工程に移る前に、既に密度が5×10<sup>8</sup> cm<sup>-3</sup>以上であるBMDが形成されているため、十分なゲッタリング能力を持っている。なお、BMDの密度の上限は5×10<sup>10</sup> cm<sup>-3</sup>以下が好ましい。なぜなら、BMDの周辺において転位の成長が顕著となって、シリコン結晶すなわちウェーハの機械的強度が劣化するからである。

**【0048】**

このように、第1の実施形態によると、ウェーハに対する半導体製造プロセスに入る前に、第1の熱処理及び第2熱処理の2段階の熱処理を行なうため、導電型を決定する不純物イオンの拡散長が増大する等の不具合をまったく生じることなく、且つその後のプロセス中の熱処理にも依らず安定したゲッタリング能力を確保することができる。

**【0049】**

## (第1の実施形態の一変形例)

以下、本発明の第1の実施形態の一変形例について図面を参照しながら説明する。

**【0050】**

図2は本発明に係る第1の実施形態の一変形例に係る半導体装置の製造方法における熱処理のシーケンスチャートを示している。

**【0051】**

通常、ウェーハに対して行なう半導体プロセスにおける最初の熱処理が酸化工程、とりわけパッド酸化工程である場合が多い。

**【0052】**

図2に示すように、実プロセスに移行するより前に行なう本発明の第2の加熱処理に、プロセスに最初に行なうパッド酸化工程を組み込んだ熱処理シーケンスである。このように、温度が1000度の酸素雰囲気で15分間のパッド酸化工程を本発明の第2の熱処理に組み込むことにより、ウェーハに対してなされる熱処理が比較的に低温のプロセスであっても、工程をほとんど増やすことなくゲッタリング能力を確保することができる。

**【0053】**

## (第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

**【0054】**

第1の実施形態は、図7に示したような、サーマルバジエットが小さいプロセスではゲッタリングサイトが形成されないため、実プロセスに移行するよりも前に、ゲッタリング可能な密度を持つBMDを形成している。

**【0055】**

しかしながら、プロセスが実施される前のウェーハにゲッタリングサイトとして十分な密度を持つBMDを形成できたとしても、形成されたBMDに金属不純物を捕獲するのに

十分な拡散を起こさせる熱処理が必要な金属種が存在する。

【0056】

BMD等からなるゲッタリングサイトが高密度に存在したとしても、該ゲッタリングサイトにまで金属不純物が移動して、該金属不純物がゲッタリングサイトに捕獲されなければ、ゲッタリング効果は発揮されない。

【0057】

金属不純物が銅（Cu）又はニッケル（Ni）等からなる場合には、シリコン中での拡散係数が比較的に大きいため、与える熱処理が比較的に低温且つ短時間であっても、ウェーハ表面に形成される素子形成層（活性層）に存在する金属不純物をBMDからなるゲッタリングサイトにまで拡散により十分に移動させることができる。しかしながら、金属不純物が鉄（Fe）からなる場合には、そのシリコン中での拡散係数は必ずしも大きくはなく、従って、BMDが活性層の下側の領域に形成されたとしても、鉄原子を活性層の下側の領域にまで拡散により移動させるには、銅やニッケルの場合と比べて大きいサーマルバージェットの熱処理が必要となる。

【0058】

第2の実施形態は、金属不純物による汚染の影響を極めて受けやすいゲート絶縁膜を形成するよりも前に、鉄等の比較的に拡散係数が小さい金属不純物をゲッタリングサイトにまで十分に拡散できる程度の熱処理を行なう構成とする。

【0059】

図3は本発明の第2の実施形態に係る半導体装置の製造方法におけるゲート絶縁膜形成工程を含む処理フローを示している。

【0060】

図3に示すように、まず、工程ST1において、ウェーハの主面に、例えばシャロウトレンチ分離（ST1）等からなる公知の素子分離膜を選択的に形成する。

【0061】

次に、工程ST2において、ウェーハの主面における素子分離膜により区画されてなる素子形成領域に、例えばP型の不純物を選択的にイオン注入してP型のウエルを形成する。続いて、MOS型トランジスタのしきい値電圧を調整する例えばP型の不純物をイオン注入する。

【0062】

次に、工程ST3において、ゲッタリング効果を増強する本発明に係る熱処理を施す。ここで、図4にゲッタリング強化熱処理におけるシーケンスを示す。図4に示すように、ゲート絶縁膜を形成する前に、昇温速度を $8^{\circ}\text{C}/\text{min}$ として窒素雰囲気で $1000^{\circ}\text{C}$ にまで昇温し、加熱温度 $T_3$ を $1000^{\circ}\text{C}$ とし加熱時間 $t_3$ を30分とする熱処理を行なう。その後、降温時間を例えば $4^{\circ}\text{C}/\text{min}$ として降温する。

【0063】

次に、工程ST4において、ゲッタリング効果が増強されたウェーハに対して公知の洗浄を行ない、続いて、洗浄されたウェーハを RTP 装置に投入し、酸化性ガスに一酸化二窒素（ $\text{N}_2\text{O}$ ）を用い、温度が $1050^{\circ}\text{C}$ の $600 \times 133.322\text{ Pa}$ の圧力下で、膜厚が $2.8\text{ nm}$ の酸化シリコンからなるゲート絶縁膜を形成する。

【0064】

次に、工程ST5において、通常のMOS型半導体プロセスに従って、CMOS型デバイスを形成する。

【0065】

なお、ゲート絶縁膜の形成に RTP 装置を用いたが、RTP 装置には限られず電気炉を用いてもよい。また、熱処理温度も適当な値に設定すれば良く、酸化性雰囲気についても酸素（ $\text{O}_2$ ）又は水蒸気（ $\text{H}_2\text{O}$ ）等、適宜選択すれば良い。

【0066】

また、通常、ゲート絶縁膜の形成前には、工程ST2で示したように、トランジスタのしきい値電圧調整用の不純物を注入する工程のみであり、工程ST2の後に $1000^{\circ}\text{C}$ の

熱処理を加えることは、しきい値電圧の調整が必要となるもの著しく困難というわけではない。また、加熱温度T<sub>3</sub>の設定範囲は950℃～1100℃であればよい。

#### 【0067】

この加熱温度T<sub>3</sub>は、金属不純物が鉄であっても、BMDからなるゲッタリングサイトにおけるウェーハ表面からの深さに依存して決定され、BMDが浅い位置にあれば、より低温での熱処理も可能となる。

#### 【0068】

このように、第2の実施形態は、ウェーハにたとえゲッタリングサイトが形成された状態であっても、鉄のように拡散係数が比較的に小さい金属不純物がゲッタリングサイトに捕獲されるには、銅等からなる金属不純物の場合よりも大きいサーマルバジェットが必要となる。そこで、0.15μmと微細化されたデザインルールに対応すべく薄膜化が必要なゲート絶縁膜の形成工程ST4に先だって、工程ST3に示したような、鉄等の拡散係数が比較的に小さい金属不純物がゲッタリングサイトにまで拡散するに足るだけのサーマルバジェットを補う熱処理を加える。これにより、例えばMOSトランジスタのゲート絶縁膜のように金属不純物の影響を受けやすい部位の形成工程において、鉄のように拡散係数が比較的に小さい金属不純物をもゲッタリングサイトに確実に捕獲することができるようになるため、MOS型半導体装置とりわけCMOS型半導体装置の信頼性を大幅に向上することができる。

#### 【0069】

##### (第3の実施形態)

以下、本発明の第3の実施形態について図面を参照しながら説明する。

#### 【0070】

前述したように、銅やニッケルのような拡散係数が比較的に大きい金属不純物に対しては、これらの金属不純物をゲッタリングサイトにまで拡散させるのに必要な熱処理は比較的に低温か又は短時間で済む。しかしながら、鉄のような拡散係数が比較的に小さい金属不純物については、より高い温度で且つより長い時間の熱処理が必要であり、半導体プロセスすなわち製造対象である半導体装置に印加可能なサーマルバジェット、すなわち許容熱処理を超えないように考慮する必要がある。

#### 【0071】

そこで、第3の実施形態においては、拡散係数が比較的に小さい金属不純物がBMDからなるゲッタリングサイトにまで拡散するのに必要な熱処理により、ゲッタリングサイトの深さが決定されたウェーハを実現することを特徴とする。

#### 【0072】

すなわち、本実施形態に係るウェーハは、表面からのBMDの深さがウェーハ上に形成されるエピタキシャル層の厚さによって決定されていることを特徴とする。従って、全プロセスにおけるサーマルバジェットと対応する位置にBMDが形成されていることになる。

#### 【0073】

通常、微細デバイスであっても、ゲート絶縁膜を形成した後で且つソース・ドレイン領域を形成するまでの間は、サーマルバジェットの許容範囲は比較的に広い。ソース・ドレイン領域又はLDI構造のような比較的に高濃度の不純物領域が一旦形成されると、その拡散長による半導体デバイスの特性変化は著しく、とりわけゲート絶縁膜形成後でソース・ドレイン領域形成後の追加熱処理には厳しいサーマルバジェットが要求される。一方、ゲート絶縁膜の形成工程においては、拡散層はウェル領域及びチャネル領域の比較的に濃度が低い拡散領域であり、このような低不純物濃度の拡散領域の場合は、ソース・ドレイン領域程にはサーマルバジェットは厳しくない。

#### 【0074】

あくまで、デザインルールが0.15μmよりも小さいMOSデバイスの場合は、一般にソース・ドレイン領域を形成した後に行なう熱処理は600℃～700℃以下である必要があり、もし800℃を越える程度の高温の熱処理が必要な場合は RTPにより短時間

の熱処理が実施される。従って、ソース・ドレイン領域を形成した後ではBMDの形成は適さず、既にゲート絶縁膜の形成工程は終了している。

#### 【0075】

一方、ウェルを形成した後は、ゲート絶縁膜を形成するまでの工程での上限温度は1000°C程度であり、また、その時間も60分程度である。ウェルの濃度やチャネルの不純物プロファイルはゲート絶縁膜の形成工程までの熱処理に合わせて調整可能であるが、著しい高温や長時間処理への対応には限界があり、1000°Cで60分程度の熱処理が限界である。これに対し、ウェル領域を形成する前であれば、ウェーハには不純物が導入されていないため、ウェーハ自体に結晶欠陥を与えるような高温且つ長時間の熱処理を行なわない限り、サーマルバジェットについては自由度が大きい。しかしながら、この時点（工程）では、ゲート絶縁膜は未だ形成されていないため、BMDの形成には寄与しても汚染金属のBMD領域への拡散を促進することはできない。

#### 【0076】

以下、具体例を説明する。

#### 【0077】

図5は本発明の第3の実施形態に係る半導体基板（ウェーハ）の製造方法の断面構成を示し、図6は該半導体基板を用いた半導体装置の製造方法の工程フローを示している。

#### 【0078】

まず、図5(a)に示すように、比抵抗が $10\Omega\text{cm} \sim 15\Omega\text{cm}$ であり、酸素濃度がASTM'79規格による $14.0 \times 10^{17}\text{atoms}\cdot\text{cm}^{-3}$ であり、ボロン(B)がドープされたP型シリコンからなるウェーハ10を用意する。ここで、ウェーハ10は、引き上げ法による形成時に、ゲッタリングサイトの析出核11Aとなる窒素原子が $5 \times 10^{13}\text{atoms}\cdot\text{cm}^{-3}$ の濃度で添加されている。ここでは、ウェーハ10はゲート絶縁膜を構成要素を持つMOS型デバイスの製造用の基板とする。

#### 【0079】

次に、図6の工程ST11に示すように、ゲート絶縁膜の形成に必要な熱処理と、デバイスの電気的特性から許容されるサーマルバジェットと、捕獲対象とする例えば鉄のような拡散係数が比較的に小さい金属不純物とから、ゲッタリングサイトのウェーハ表面からの拡散長Ld( $=2\mu\text{m}$ )を算出する。

#### 【0080】

次に、図5(b)及び図6の工程ST12に示すように、ウェーハ10の主面上に、例えばCVD法により、ボロンがドープされ比抵抗が $11\Omega\text{cm} \sim 14\Omega\text{cm}$ であって、算出された拡散長Ldと一致する、厚さが約 $2\mu\text{m}$ のシリコンからなるエピタキシャル層12を形成する。

#### 【0081】

次に、図5(c)及び図6の工程ST13に示すように、製造プロセスに入る前に、本発明に係る、加熱温度が750°Cの窒素雰囲気で加熱時間を120分とする第1の熱処理と、その後の昇温速度を3°C/分として窒素雰囲気で1000°Cにまで昇温し、加熱温度が1000°Cで加熱時間を60分とする第2の熱処理とを行なう。

#### 【0082】

このように、第1の熱処理及び第2の熱処理の処理パラメータ及び金属不純物の拡散長Ldの値は、金属不純物とりわけ鉄の拡散長から、鉄のゲッタリングを十分に行なえる位置に、BMDからなるゲッタリングサイト11Bが形成されるように算出している。

#### 【0083】

次に、図6の工程ST14に示すように、エピタキシャル層12が形成され、ゲッタリングサイト11Bが形成されたウェーハ10に、素子分離の形成、ウェル形成用及びしきい値電圧調整用のイオン注入を行なう通常のデバイスプロセスを実施する。これは、第2の実施形態の図3における工程ST1及びST2と対応する。

#### 【0084】

次に、図6の工程ST15に示すように、加熱温度を1000°Cとし加熱時間30分と

するゲッタリングを増強する第3の熱処理を行なう。これは、第2の実施形態の図3における工程ST3と対応する。この第3の熱処理により、図5(d)に示すように、鉄等の拡散係数が比較的に小さい金属不純物110であっても、エピタキシャル層12の直下に位置するゲッタリングサイト11Bに捕獲される。

#### 【0085】

次に、図6の工程ST16に示すように、熱酸化によりエピタキシャル層12の上部に酸化シリコンからなるゲート絶縁膜を形成する(図示せず)。これは、第2の実施形態の図3における工程ST4と対応する。

#### 【0086】

以上説明したように、第3の実施形態によると、ゲート絶縁膜を含む全プロセスで実施される熱処理と、ゲッタリングを強化する熱処理の許容範囲と、ゲッタリング対象とする金属不純物の拡散係数とから計算された金属不純物の拡散長Ldよりも小さいか又は同等の厚さを有するエピタキシャル層12をウェーハ10の主面上に形成することにより、形成されたエピタキシャル層12の直下にゲッタリングサイト11Bが存在するウェーハ10を形成する。

#### 【0087】

この状態で、本発明の第1の熱処理及び第2の熱処理を行なってBMD等のゲッタリングサイト11Bを顕在化させ、その後、ゲート絶縁膜形成前のゲッタリング強化を図る本発明の第3の熱処理を行なうことにより、金属不純物がエピタキシャル層12の直下に位置するゲッタリングサイト11Bに捕獲されるため、信頼性が高いゲート絶縁膜を含むMOS型デバイスを形成することが可能となる。

#### 【産業上の利用可能性】

#### 【0088】

本発明に係る半導体装置の製造方法及び半導体基板は、製造プロセス中に発生する金属不純物をあらかじめ形成されたゲッタリングサイトに捕獲することにより、半導体装置の信頼性を確保できるという効果を有し、とりわけCMOS型デバイス又は電荷結合素子若しくはMOS型イメージセンサを含む撮像素子等のゲート絶縁膜を有する半導体装置の製造方法又はそれに用いる半導体基板(ウェーハ)として有用である。

#### 【図面の簡単な説明】

#### 【0089】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法におけるプロセス実施前に行なう熱処理を示すシーケンス図である。

【図2】本発明の第1の実施形態の一変形例に係る半導体装置の製造方法における熱処理を示すシーケンス図である。

【図3】本発明の第2の実施形態に係る半導体装置の製造方法におけるゲート絶縁膜形成工程を含む工程フロー図である。

【図4】本発明の第2の実施形態に係る半導体装置の製造方法におけるゲート絶縁膜の形成前のゲッタリングを強化する熱処理を示すシーケンス図である。

【図5】本発明の第3の実施形態に係る半導体基板(ウェーハ)の製造方法を示す工程順の模式的な断面図である。

【図6】本発明の第3の実施形態に係る半導体装置の製造方法を示す工程フロー図である。

【図7】従来のデザインルールが0.15μm相当でゲート絶縁膜を有するデバイスにおける典型的な熱処理を示すシーケンス図である。

【図8】従来の半導体基板(ウェーハ)における無欠陥層とゲッタリングサイトとを形成する熱処理を示す工程順の模式的な断面図である。

#### 【符号の説明】

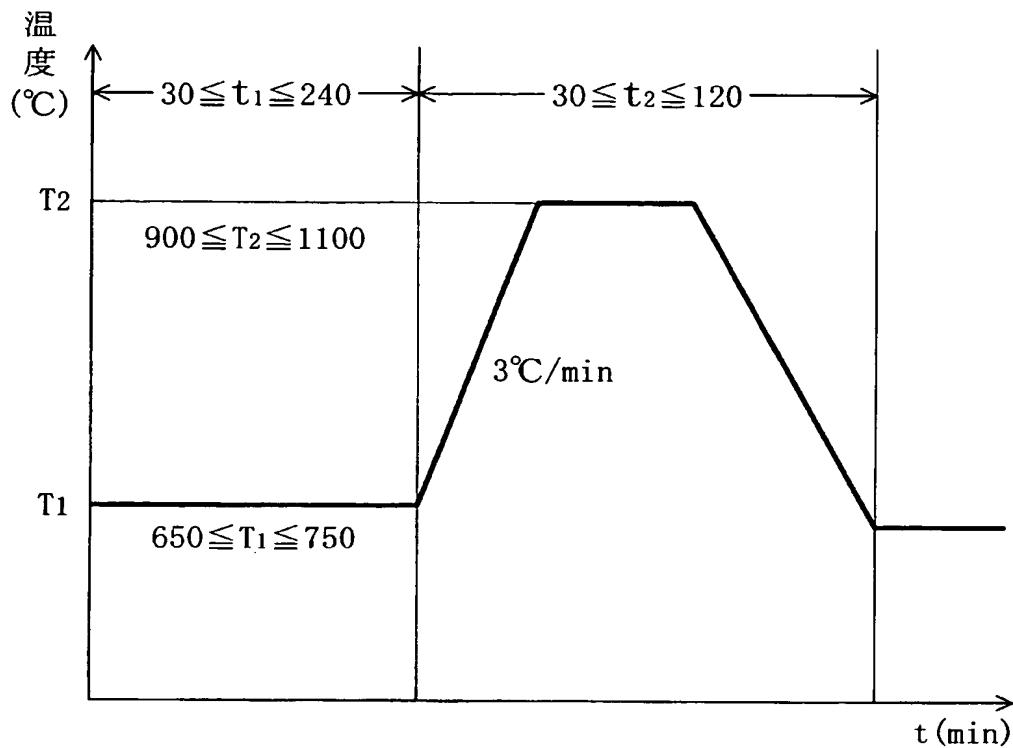
#### 【0090】

10 ウェーハ(半導体基板)

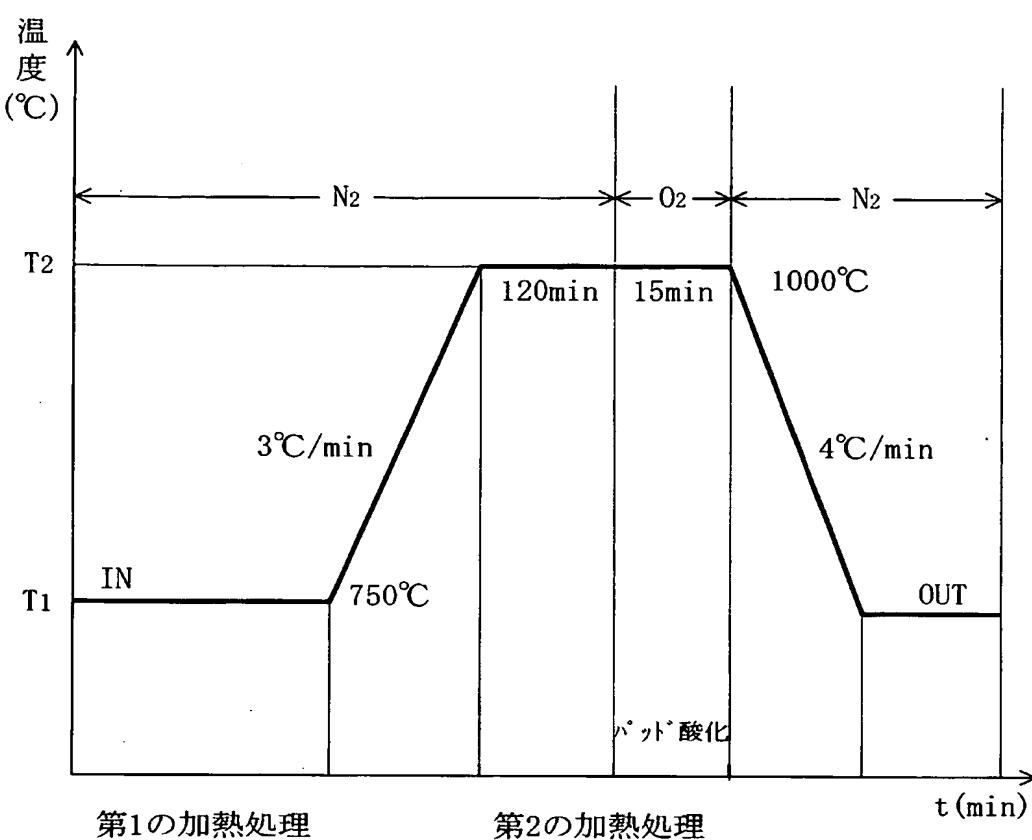
11A 析出核

11B ゲッタリングサイト  
12 エピタキシャル層  
110 金属不純物

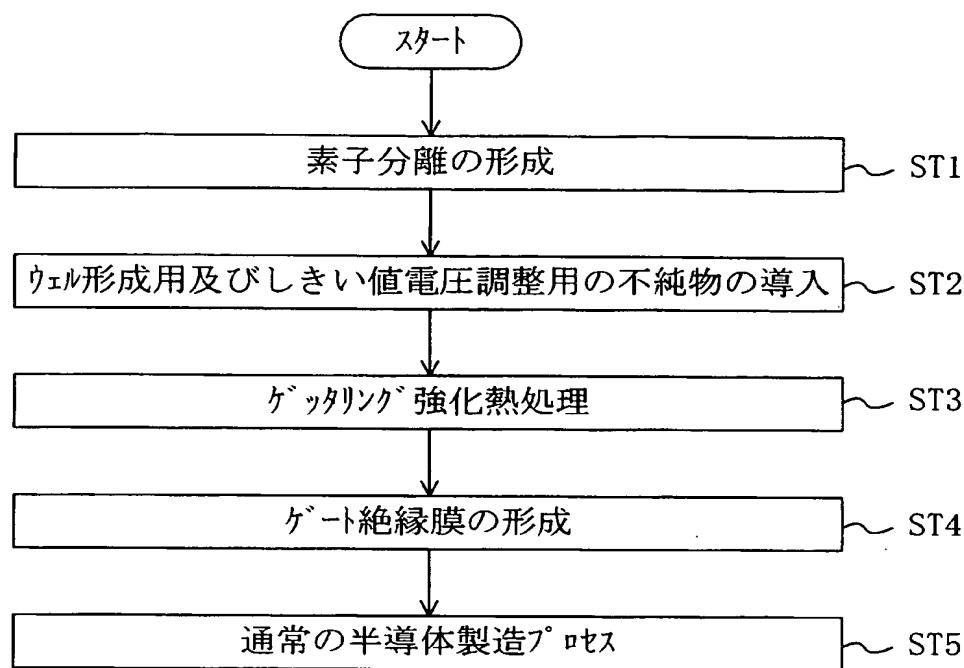
【書類名】図面  
【図1】



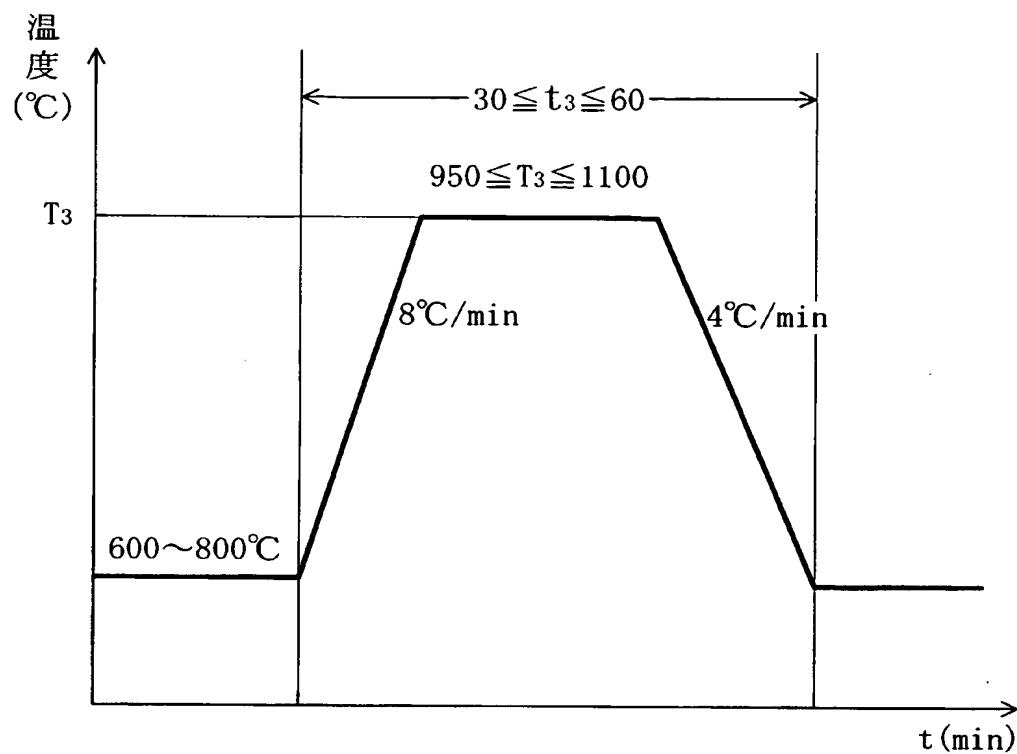
【図2】



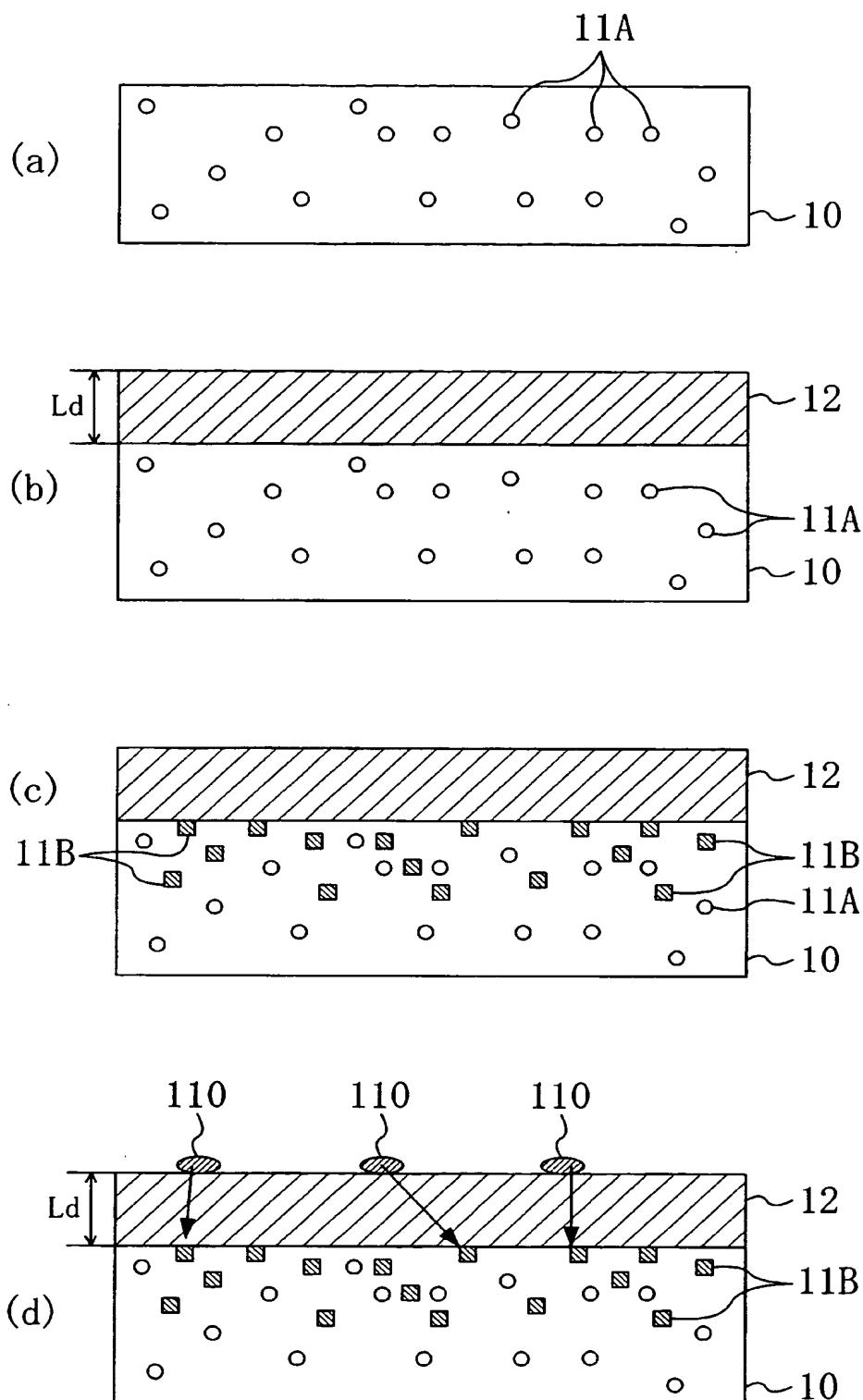
【図3】



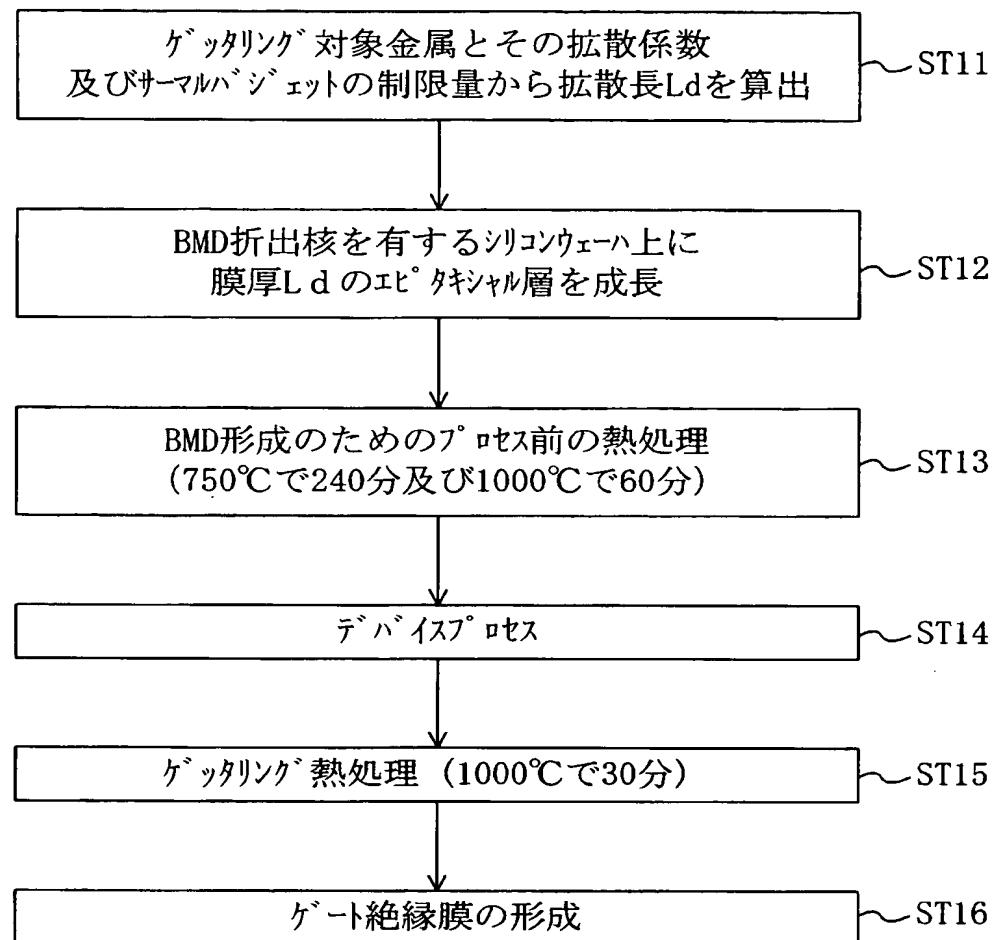
【図4】



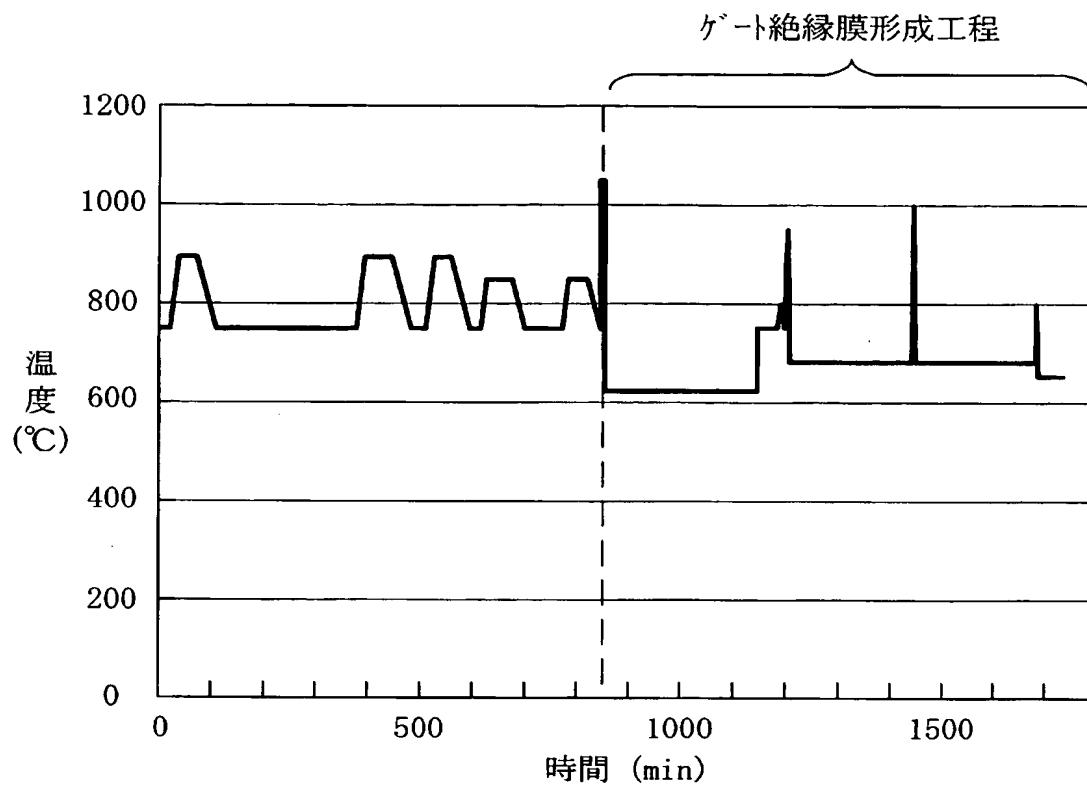
【図5】



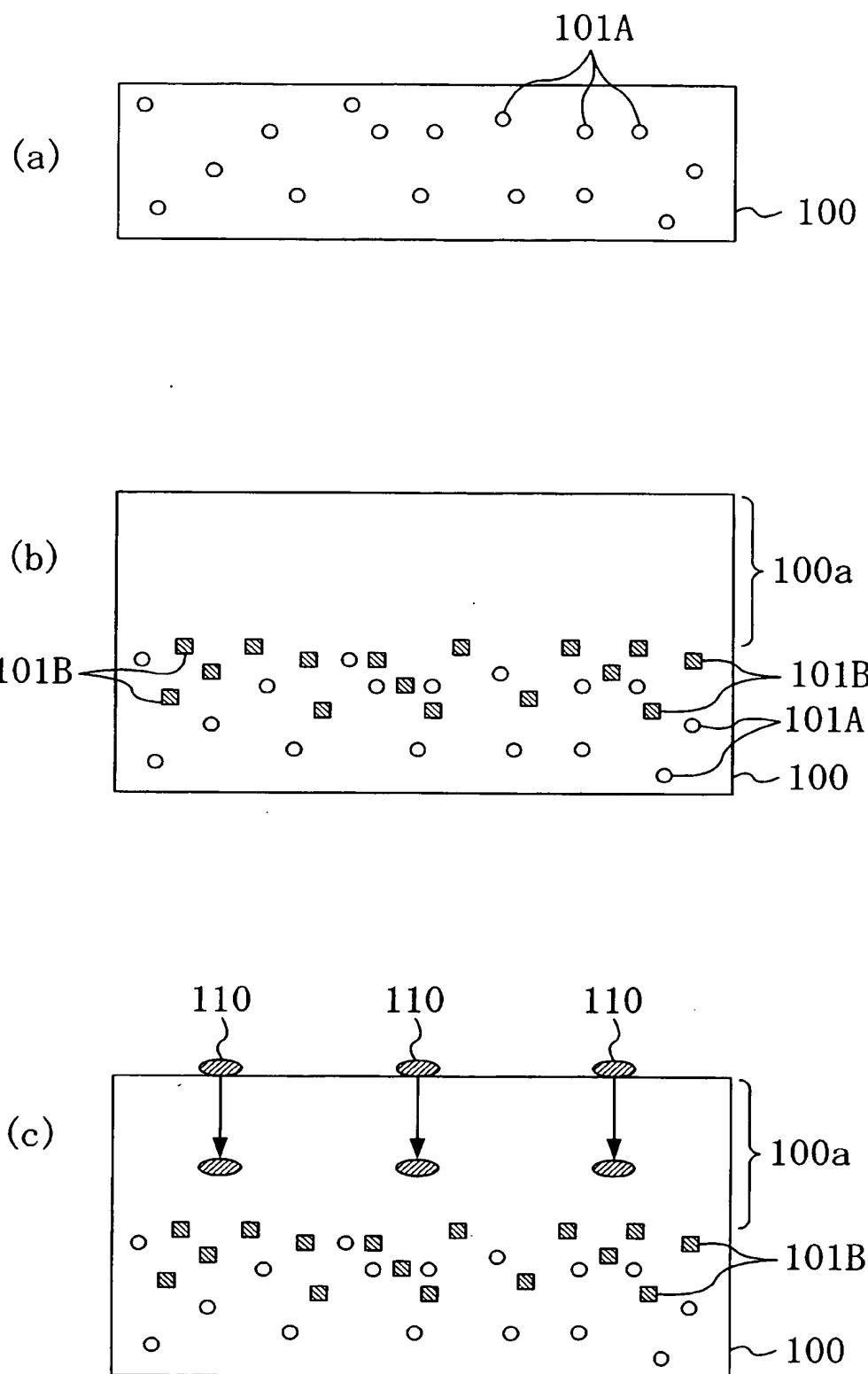
【図 6】



【図 7】



【図8】



【書類名】要約書

【要約】

【課題】 微細化されサーマルバジエットを小さくせざるを得ない製造プロセスにおいて、シリコンウェーハが被る金属汚染を防止するゲッタリングサイトを形成できるようにすること、及び形成されたゲッタリングサイトに金属不純物が確実に捕獲されるようにすることを目的とする。

【解決手段】 シリコンからなる半導体ウェーハに対して最初に行なう熱処理として、第1の熱処理である650℃～750℃の温度下で30分～240分の熱処理を行ない、その後、第2の熱処理である900℃～1100℃の温度下で30分～120分の熱処理を行なう。また、第3の熱処理として、ゲート絶縁膜を形成する前に、昇温速度を8℃／分として窒素雰囲気で1000℃にまで昇温し、加熱温度を1000℃とし加熱時間を30分とする熱処理を行なう。

【選択図】 図1

特願 2003-281453

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地  
氏名 松下電器産業株式会社